PRÁCTICA 18: SUMADOR SECUENCIAL CON QUARTUS II

OBJETIVOS

Realizar un circuito digital que sume, de forma secuencial, dos números de 3 bits en binario natural.

Al finalizar la práctica, el alumno ha de ser capaz de:

- Analizar y trocear proyectos grandes en partes más pequeñas ("*divide y vencerás*")
- Diseñar circuitos secuenciales complejos de varios niveles en la jerarquía.
- Reutilizar bloques de otras prácticas.
- Integrar distintos bloques en un mismo proyecto.
- Depurar errores en proyectos de cierta envergadura.

MATERIAL

- Ordenador personal con *Quartus II*,
- Tarjeta de desarrollo de lógica programable DE1 de Altera.

DURACIÓN

2 sesiones.

INTRODUCCIÓN

En esta práctica, el alumno va a implementar un sumador secuencial completo de 3 bits. Su estructura es como la mostrada en la Figura 1. Consta de un bloque **sumador**, que es el que realiza la operación de suma; y de un bloque de **control**, basado en una máquina secuencial, que es el que gestiona cómo se realiza la operación.

El funcionamiento del sistema (sumador secuencial) es el siguiente:

- Existe una entrada llamada ***Reset_n***, activa a nivel bajo, que sirve para inicializar todos los bloques del sistema.
- Por otra parte, los números a operar son ***A[2..0]*** y ***B[2..0]***, y se validan al activar la señal ***Run_n*** (activa a nivel bajo), a modo de Enter. Al cabo de unos ciclos de reloj, el resultado de la operación ***A+B*** se mostrará en la salida ***S[3..0]*** y se activará la señal ***Suma_Ok*** para indicar que el proceso ha finalizado.
- El proceso se puede repetir tantas veces como se quiera activando la señal ***Run_n*** para validar los números ***A*** y ***B***.

Figura 1. Esquema de bloques de un sumador secuencial.

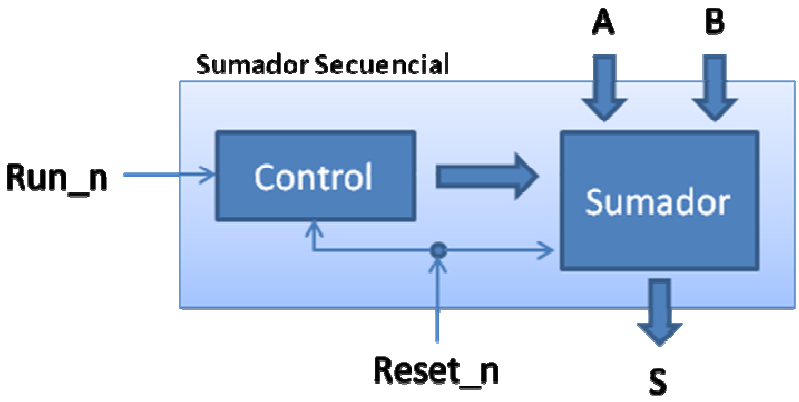
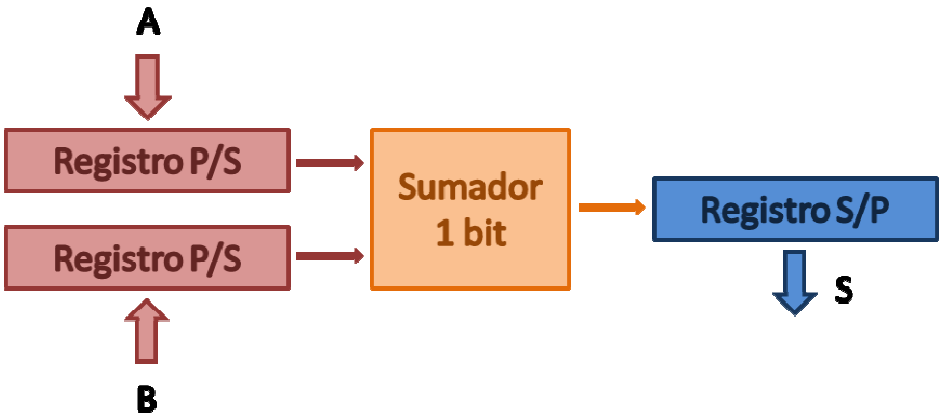


Figura 2. Esquema de bloques del bloque `Sumador`.



La estructura del bloque **sumador** se muestra en la Figura 2. Como se puede observar está formado por:

- **`Registro P/S`**. Son dos registros de desplazamiento de 3 bits con entrada en paralelo y salida en serie. Se emplean para almacenar los números ***A*** y ***B*** al comienzo del proceso.
- **`Sumador 1 bit`**. Es un sumador completo de 1 bit.
- **`Registro S/P`**. Es un registro de desplazamiento de 3 bits con entrada serie y salida en paralelo. Se emplea para almacenar el resultado de la suma.

El bloque de **control** de la Figura 1 es una máquina de estados que gestiona todas las señales del bloque Sumador, es decir, indica cuándo hay que cargar los números ***A*** y ***B*** en los registros, cuándo hay que operar cada pareja de bits y cuándo se ha terminado de operar los números.

A continuación, el desarrollo de la práctica se divide en dos sesiones.

PRIMERA SESIÓN: BLOQUE DE CONTROL

TRABAJO PREVIO

Leer **DESPACIO** y **DETENIDAMENTE** los apartados *Objetivos*, *Material*, *Duración* e *Introducción* de la práctica. A continuación, leer **DESPACIO** y **DETENIDAMENTE** los apartados de la sección *Primera Sesión: bloque de control*.

Escribir en papel los cálculos necesarios para realizar todos los pasos que se piden en el apartado *Diseño*. Estos cálculos los evaluará el profesor al principio de la sesión.

DESCRIPCIÓN

En esta primera sesión se va a diseñar, capturar y simular en *Quartus II* el bloque de control de un sumador secuencial de 3 bits. Las características del bloque (señales de entrada y salida), el funcionamiento del mismo y los pasos a realizar para su desarrollo se describen a continuación.

CARACTERÍSTICAS DEL CIRCUITO

El bloque de control tiene **tres** entradas:

- La señal ***Reset_n***, activa a nivel bajo, para inicializar la máquina de estados.
- La señal ***Reloj***, de 50 MHz, que es el reloj de la máquina de estados.
- La señal ***Run_n***, activa a nivel bajo, para validar los números a sumar y empezar la operación de suma.

Y **tres** salidas:[1]

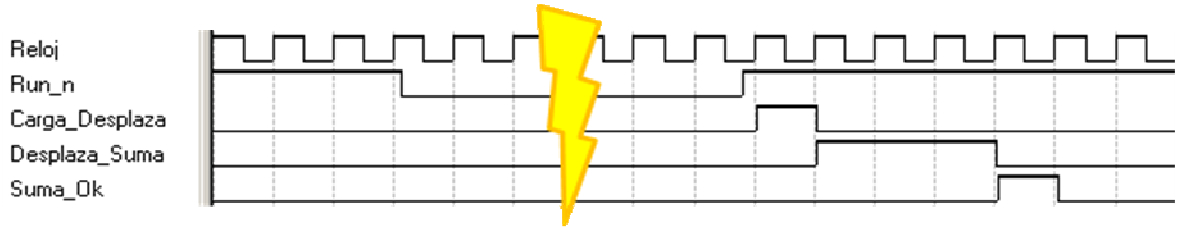
- Las señales ***Carga_Desplaza*** y ***Desplaza_Suma*** van directamente al bloque sumador (ver el apartado de características del circuito de la segunda sesión).
- La señal ***Suma_Ok*** se activa durante un ciclo de reloj para indicar que se ha realizado la operación y que el resultado en la salida correspondiente es válido.

FUNCIONAMIENTO

El funcionamiento del bloque de control se muestra en la Figura 3. El rayo de la figura indica que la duración de la señal ***Run_n*** es indeterminada, pues viene de un pulsador de la placa.

[1] Además de las señales de salida que se indican, al alumno puede serle útil en la depuración añadir más salidas para mostrar, por ejemplo, el estado actual de la máquina de estados.

Figura 3. Diagrama de tiempos del bloque de control.



Tal y como se muestra en el diagrama de tiempos anterior, el proceso de suma no arranca hasta que la señal ***Run_n*** pasa de nivel bajo a nivel alto. Esto significa que la máquina de estados ya incorpora un detector de flanco entre sus estados.

Para evitar problemas, la duración de ***Carga_Desplaza*** y de ***Suma_Ok*** es de 1 ciclo de reloj, y la de ***Desplaza_Suma*** es de 3 ciclos de reloj.

DESARROLLO PRÁCTICO

DISEÑO

Realizar los siguientes pasos de diseño:

- Dibujar el diagrama de transición de estados de una máquina de estados tipo **Moore**, que se comporte según el funcionamiento mostrado en la Figura 3,
- Escribir la tabla de transición y de excitación de los flip-flop's tipo D,
- Calcular los diagramas de Karnaugh y obtener las ecuaciones lógicas de las entradas a los flip-flop's y de las salidas del bloque,
- Dibujar los circuitos lógicos necesarios para implantar las ecuaciones lógicas anteriores.

CAPTURA DEL ESQUEMA

Crear un proyecto nuevo en `D:\temp\practica18_I` que se llame `Control_Sumador` y elegir el dispositivo `EP2C20F484C7` de la familia `Cyclone II` como dispositivo de lógica programable.

Capturar el circuito obtenido en el apartado de diseño y guardarlo con el nombre `Control_Sumador.bdf`.

Para capturar la máquina de estados hay que emplear flip-flop's tipo **D** (el componente se denomina `dff`) y las puertas lógicas del tipo que se quiera.

SIMULACIÓN

Compilar el proyecto y verificar su funcionamiento mediante simulación.

Cuando el funcionamiento sea correcto, según lo mostrado en la Figura 3, mostrar el resultado al profesor.

SEGUNDA SESIÓN: BLOQUE SUMADOR

TRABAJO PREVIO

Leer **DESPACIO** y **DETENIDAMENTE** los apartados de la sección *Segunda Sesión: bloque sumador*.

Escribir en papel los cálculos necesarios para diseñar los bloques que se piden en el apartado *Diseño*. Estos cálculos los evaluará el profesor al principio de la sesión

DESCRIPCIÓN

En esta segunda sesión se va a diseñar y capturar en *Quartus II* el bloque sumador de un sumador secuencial de 3 bits (ver Figura 1); se va a integrar con el bloque de control realizado en la primera sesión; y se va simular el funcionamiento del sumador secuencial completo.

Las características del bloque (señales de entrada y salida) y los pasos a realizar para su desarrollo se describen a continuación.

CARACTERÍSTICAS DEL CIRCUITO

El bloque sumador tiene **diez** entradas:

- La señal ***Reset_n***, activa a nivel bajo, para inicializar los registros a ceros.
- La señal ***Reloj***, de 50 MHz, que es el reloj de funcionamiento del sistema.
- La señal ***Carga_Desplaza*** para almacenar los números ***A*** y ***B*** en los registros Paralelo/Serie (P/S) correspondientes, cuando esté a nivel alto, y para desplazar a la derecha el contenido de los registros P/S en los que se almacenan los números ***A*** y ***B***, cuando esté a nivel bajo.
- La señal ***Desplaza_Suma*** para desplazar a la derecha el contenido del registro Serie/Paralelo en el que se almacena el resultado de la suma.
- Las señales ***A[2..0]*** y ***B[2..0]*** que representan los números ***A*** y ***B***, respectivamente, de 3 bits en binario natural, a operar.

Y **cuatro** salidas:

- Las señales ***S[3..0]*** que representan el resultado de la operación ***A+B***.

DESARROLLO PRÁCTICO

DISEÑO

Diseñar los siguientes bloques con las características que se indican.

- **REGISTRO DE DESPLAZAMIENTO S/P DE 3 BITS**

  Diseñar un registro de desplazamiento de 3 bits con carga serie y salida en paralelo. El desplazamiento debe ser hacia la derecha, es decir, el bit que entra en el registro es el MSB. Emplear flip-flops tipo D con *enable*.

  El bloque tiene cuatro entradas:

  - ***Reset_n***, activa a nivel bajo, que inicializa a 0 el contenido del registro.
  - ***Reloj***, de 50 MHz, que es el reloj de funcionamiento del sistema.
  - ***Entrada_Serie***, por donde entra el bit al registro.
  - ***Desplaza***, para desplazar a la derecha el contenido del registro.

  El bloque tiene tres salidas:

  - ***S[2..0]*** que es el contenido del registro.

  En la Figura 4 se muestra el bloque en *Quartus II*.

Figura 4. Bloque del registro de desplazamiento serie/paralelo de 3 bits.

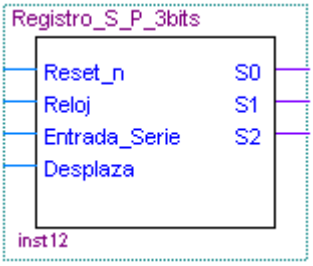


Figura 5. Bloque del registro de desplazamiento paralelo/serie de 3 bits.

- **REGISTRO DE DESPLAZAMIENTO P/S DE 3 BITS**

  Diseñar un registro de desplazamiento de 3 bits con carga en paralelo y salida serie. El desplazamiento debe ser hacia la derecha, es decir, el bit a la salida del registro es el LSB. Al desplazar, el relleno del registro será con '0'. Emplear flip-flops tipo D (sin *enable*).

  El bloque tiene **siete** entradas:

  - ***Reset_n***, activa a nivel bajo, que inicializa a 0 el contenido del registro.
  - ***Reloj***, de 50 MHz, que es el reloj de funcionamiento del sistema.
  - ***Entrada_Paralelo[2..0]*** que es el contenido que se carga en el registro.
  - ***Carga_Desplaza***, a nivel alto, para cargar el contenido ***Entrada_Paralelo[2..0]*** en el registro y, a nivel bajo, para desplazar a la derecha el contenido del registro.
  - ***Entrada_Serie***, que es por donde entra el valor con el que se rellena el registro cuando se desplaza.

El bloque tiene **una** salida:

- ***S*** que es el LSB del contenido del registro.

En la Figura 5 se muestra el bloque en *Quartus II*.

ESQUEMA

Crear un proyecto nuevo en `D:\temp\practica18_II` que se llame `Sumador_Secuencial` y elejir el dispositivo `EP2C20F484C7` de la familia `Cyclone II`.

Capturar [2] el circuito diseñado en el apartado anterior para el registro de desplazamiento serie/paralelo de 3 bits y guardarlo con el nombre `Registro_S_P_3bits.bdf`. No olvidarse de añadirlo al proyecto en el momento de guardarlo.

Capturar el circuito diseñado en el apartado anterior para el registro de desplazamiento paralelo/serie de 3 bits y guardarlo con el nombre `Registro_P_S_3bits.bdf`. No olvidarse de añadirlo al proyecto en el momento de guardarlo.

Abrir con *Quartus II* el bloque `Sum1bit.bdf` realizado en la práctica 5. Guardarlo con el mismo nombre en la carpeta de trabajo de esta sesión, añadiéndolo al proyecto en curso. A continuación, generar su símbolo.

Capturar el esquema mostrado en la Figura 6 y guardarlo con el nombre `Sumador.bdf`. No olvidarse de añadirlo al proyecto en el momento de guardarlo. El bloque `Mux_2a1_1bit` debe capturarlo el alumno, sabiendo que corresponde a un multiplexor 2 a 1 de 1 bit (ver práctica 2).

Abrir con *Quartus II* el bloque `Control_Sumador.bdf` realizado en la primera sesión de la práctica 18. Guardarlo con el mismo nombre en la carpeta de trabajo de esta sesión, añadiéndolo al proyecto en curso. A continuación, generar su símbolo.

Realizar el paso anterior con el resto de archivos `*.bdf` capturados en la primera sesión de la práctica 18 (si los hay). [3]

Capturar el esquema mostrado en la Figura 7 y guardarlo con el nombre `Sumador_Secuencial.bdf`. No olvidarse de añadirlo al proyecto en el momento de guardarlo.

---

[2] El flip-flop tipo D con *enable* se denomina `dffe`.

[3] Una forma rápida de realizar este paso es copiar los archivos `*.bdf` y `*.bsf` generados en la primera sesión de esta práctica y copiarlos a la carpeta de trabajo de esta sesión. Después, ir al menú ***Project***, elegir la opción ***Add/Remove Files in Project…*** y, en la ventana que aparece, pulsar en el botón ***Add All***.

Figura 6. Esquema en *Quartus II* del bloque Sumador.

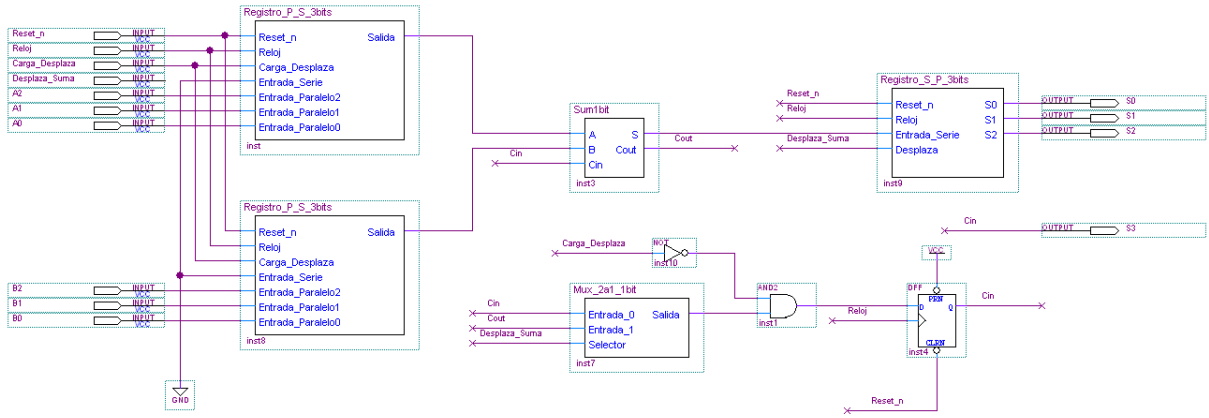
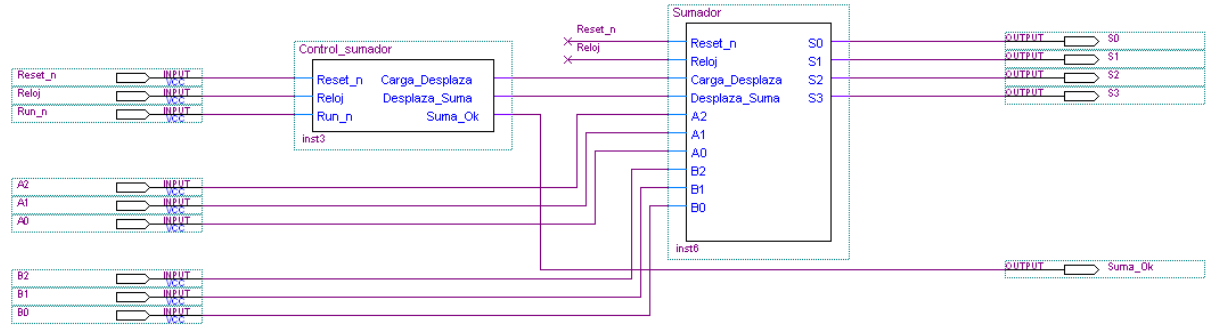


Figura 7. Esquema en *Quartus II* del Sumador Secuencial.



SIMULACIÓN

Compilar el proyecto y verificar su funcionamiento mediante simulación. El alumno debe tener en cuenta que en una simulación se deben probar todas las combinaciones posibles de sumas que puede realizar el sumador secuencial diseñado.

Cuando el funcionamiento sea correcto, mostrar el resultado al profesor y pasar al siguiente apartado.

CONFIGURACIÓN

Antes de volcar a la placa el circuito simulado hay que abrir con *Quartus II* el bloque `Bina7seg.bdf` realizado en las prácticas 3 y 4; guardarlo con el mismo nombre en la carpeta de trabajo de esta sesión, añadiéndolo al proyecto en curso; y generar su símbolo.

Modificar el esquema `Sumador_Secuencial.bdf` de la Figura 7 para que el resultado de la operación ***A+B*** se represente en los displays de 7 segmentos de la placa en base hexadecimal.

Asignar las patillas de la FPGA indicados en la Tabla 1 a las entradas y salidas del sistema (`Sumador_Secuencial.bdf`). Consultar para ello el manual de usuario de la tarjeta de lógica programable (*Altera DE1 Board*) en la página web del laboratorio.

Tabla 1. Asignación de patillas de la FPGA a las señales del circuito.

Señal	Tipo	Patilla FPGA	Componente
Reloj	Entrada		CLOCK_50
Reset_n	Entrada		KEY[0]
Run	Entrada		KEY[3]
Suma_Ok	Salida		LEDR[0]
Dig0_a	Salida		HEX0[0]
Dig0_b	Salida		HEX0[1]
Dig0_c	Salida		HEX0[2]
Dig0_d	Salida		HEX0[3]
Dig0_e	Salida		HEX0[4]
Dig0_f	Salida		HEX0[5]
Dig0_g	Salida		HEX0[6]

Señal	Tipo	Patilla FPGA	Componente
A_2	Entrada		SW9
A_1	Entrada		SW8
A_0	Entrada		SW7
B_2	Entrada		SW2
B_1	Entrada		SW1
B_0	Entrada		SW0
S_3	Salida		LEDG[3]
S_2	Salida		LEDG[2]
S_1	Salida		LEDG[1]
S_0	Salida		LEDG[0]

Compilar el proyecto y depurar los errores que aparezcan.

Configurar la FPGA y comprobar el funcionamiento en la tarjeta del laboratorio realizando diferentes operaciones.

Si el funcionamiento es correcto, enseñar el resultado al profesor.

PREGUNTA: Explicar brevemente cómo se gestiona el acarreo de la suma parcial, en el sumador secuencial.

APARTADOS OPCIONALES

REGISTRO DE DESPLAZAMIENTO GENÉRICO

Diseñar un registro de desplazamiento de 3 bits que se pueda cargar de forma serie o en paralelo, y que la salida sea de forma serie y en paralelo. El desplazamiento debe ser hacia la derecha y debe permitir detener el desplazamiento, dejando estático el contenido del registro. Emplear flip-flops tipo D (sin *enable*).

El bloque tiene **ocho** entradas:

- ***Reset_n***, activa a nivel bajo, que inicializa a 0 el contenido del registro.
- ***Reloj***, de 50 MHz, que es el reloj de funcionamiento del sistema.
- ***Entrada_Serie***, por donde entra el bit al registro de forma serie.
- ***Entrada_Paralelo[2..0]*** que es el contenido que se carga de forma paralela en el registro.
- ***Carga***, para cargar el contenido ***Entrada_Paralelo[2..0]*** en el registro.
- ***Desplaza***, para desplazar a la derecha el contenido del registro.

El bloque tiene **tres** salidas:

- ***S[2..0]*** que es el contenido del registro.

En la Tabla 2 se resume el funcionamiento del registro.

Sustituir los tres registros de desplazamiento empleados en el esquema `Sumador.bdf` por el registro diseñado en este apartado.

Modificar la máquina de estados del bloque de control para que el sumador secuencial funcione correctamente con los nuevos registros.

Compilar y simular el circuito resultante y verificar el correcto funcionamiento.

Tabla 2. Resumen de funcionamiento del registro de desplazamiento genérico.

Carga	***Desplaza***	Acción
0	0	Retiene el contenido del registro
0	1	Desplaza a la derecha el contenido del registro
1	0	Carga el registro con el valor que hay en ***Entrada_Paralelo[2..0]***
1	1	No permitido

RESTADOR

Sobre el sumador secuencial original o sobre el realizado en el primer apartado opcional, modificar el bloque de control y el bloque sumador para que el sistema realice la operación ***A-B***.

Como la salida ***S[3..0]*** estará representada en Complemento a 2, hay que sustituir el bloque `Bina7seg.bdf` por el bloque `C2a7Seg.bdf` que el alumno puede encontrar en http://www.iit.upcomillas.es/carlosrg/Docencia/LED/LED.html. Asigne los pines indicados en la Tabla 3 a las señales del segundo display.

Tabla 3. Asignación de patillas de la FPGA a las señales del circuito

Señal	Tipo	Patilla FPGA	Componente
Dig1_a	Salida		HEX1[0]
Dig1_b	Salida		HEX1[1]
Dig1_c	Salida		HEX1[2]
Dig1_d	Salida		HEX1[3]

Señal	Tipo	Patilla FPGA	Componente
Dig1_e	Salida		HEX1[4]
Dig1_f	Salida		HEX1[5]
Dig1_g	Salida		HEX1[6]

SUMADOR / RESTADOR

Sobre el sumador secuencial original o sobre el realizado en el primer apartado opcional, modificar el bloque de control y el bloque sumador para que el sistema realice la operación ***A+B*** cuando la entrada al sistema ***Suma_Resta*** valga '0', o la operación ***A-B*** cuando dicha señal valga '1'.

Para la representación del resultado en los displays de 7 segmentos, debe utilizarse el bloque `Bina7seg.bdf` cuando sume, y el bloque `C2a7Seg.bdf` cuando reste. Capturar los bloques necesarios para ello.

Asignar el componente `SW4` de la placa, a la señal ***Suma_Resta***.